

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-250808

(43)Date of publication of application : 27.09.1996

(51)Int.Cl.

H01S 3/18

(21)Application number : 07-055289

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 15.03.1995

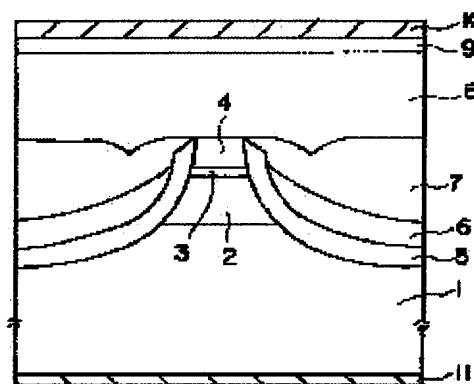
(72)Inventor : TAKAOKA KEIJI  
KUSHIBE MITSUHIRO  
IZUMITANI TOSHIHIDE  
KOKUBU YOSHIHIRO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57)Abstract:

**PURPOSE:** To reduce leakage currents in a semiconductor device to improve the output of the device by forming an n-type current block layer containing a specific amount of Se as an impurity and p-type current block layer so that the n-type block layer cannot come into contact with an n-type clad layer.

**CONSTITUTION:** On a surface of a p-type InP substrate 1, a mesa stripe is formed and a p-type InP buffer layer 2, an InGaAs active layer 3, and an n-type InP clad layer 4 are formed. In addition, n-type InP buried layers 5 and n-type current block layers 6 are also formed. The current block layers 6 contain Se as an impurity at the concentration of about  $8 \times 10^{17} \text{cm}^{-3}$ . Then p-type InP clad layers 7 are separately formed on the layers 6 so that the layers 7 cannot come into contact with the layers 6. Then an n-type InP clad layer 8, n-type InGaAs contact layer 9, and n-type electrode 10 are formed.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-250808

(43)公開日 平成8年(1996)9月27日

(51)Int.Cl.<sup>6</sup>

H 0 1 S 3/18

識別記号

庁内整理番号

F I

H 0 1 S 3/18

技術表示箇所

審査請求 未請求 請求項の数3 O L (全 10 頁)

(21)出願番号 特願平7-55289

(22)出願日 平成7年(1995)3月15日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 高岡 圭児

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 櫛部 光弘

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 泉谷 敏英

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(74)代理人 弁理士 鈴江 武彦

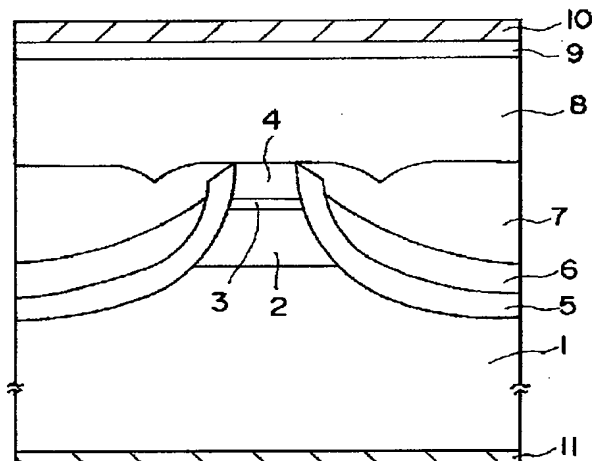
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】本発明は、漏れ電流の少ない良好な特性を有する埋め込み型の半導体装置を提供することを目的とする。

【構成】頂部に少なくとも活性層およびn型クラッド層が形成されたメサストライプを有するp型I n P基板と、前記メサストライプの側面を埋め込むように形成され、少なくともn型電流ブロック層およびp型電流ブロック層を有する半導体層とを具備し、前記n型電流ブロック層は、約 $8 \times 10^{17} \text{ cm}^{-3}$ 以上のSeを不純物として含み、前記n型電流ブロック層と前記n型クラッド層とが接触しない構造を有することを特徴としている。



## 【特許請求の範囲】

【請求項1】 頂部に少なくとも活性層が形成されたメサストライプを有するp型InP基板と、前記メサストライプの側面を埋め込むように形成され、少なくともn型電流ブロック層およびp型電流ブロック層を有する半導体層と、を具備し、前記n型電流ブロック層は、約 $8 \times 10^{17} \text{ cm}^{-3}$ 以上のSeを不純物として含み、前記n型電流ブロック層と前記n型クラッド層とが接触しない構造を有することを特徴とする半導体装置。

【請求項2】 InPを含む基板上に形成された能動領域を含む少なくとも2つの能動領域を有する基体と、前記能動領域の少なくとも一部を他の能動領域から電気的に分離する分離領域と、を具備し、前記分離領域は、少なくとも半絶縁性層と、 $5 \times 10^{18} \sim 7 \times 10^{19} \text{ cm}^{-3}$ のSeを不純物として含むSe添加層とを有することを特徴とする半導体装置。

【請求項3】 p型InP基板上に少なくとも活性層およびn型クラッド層を積層膜する工程と、前記積層膜をメサストライプ状に加工する工程と、少なくともn型電流ブロック層およびp型電流ブロック層を有する半導体層を前記メサストライプの側面に埋め込むようにして形成する工程と、を具備し、前記n型電流ブロック層に不純物として約 $8 \times 10^{17} \text{ cm}^{-3}$ のSeをドーピングすることにより、前記n型電流ブロック層と前記n型クラッド層とが接触しない構造を形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術およびその課題】 本発明の第1の課題は以下の通りである。近年、半導体レーザアレイを用いた並列光伝送が注目されているが、この場合高速動作に有利なnpnトランジスタで構成される駆動回路と半導体レーザアレイとを整合させるために、半導体レーザアレイをp型半導体基板上に作製することが必要となる。また、この場合において、半導体レーザを作製する際には、素子特性の均一性や量産性に優れた有機金属気相成長法（以下、MOCVD法という）を用いるのが一般的である。

【0003】 以下、図9を参照しながら、p型半導体基板上にMOCVD法を用いて形成した半導体レーザの従来例を説明する。図9はp型半導体基板上にMOCVD法を用いて形成した半導体レーザの従来例の構造断面図であり、この半導体レーザは次のような手順で作製される。まず、p型InP基板101上にp型InPバッファ層102、発光波長 $1.3 \mu\text{m}$ のInGaAsP活性層103、n型InPクラッド層104、およびn型I

2

nGaAsエッチングダミー層を順次MOCVD法により形成する。次いで、 $\langle 011 \rangle$ 方向にSiO<sub>2</sub>マスクをストライプ状に形成した後に、エッチングにより高さ $3 \mu\text{m}$ 程度のメサストライプを形成する。

【0004】 次いで、SiO<sub>2</sub>マスクを残したままの状態、メサストライプの側面に選択的にp型InP埋め込み層105、n型InP電流ブロック層106、およびp型InP電流ブロック層107を順次MOCVD法により形成する。次いで、SiO<sub>2</sub>マスクおよびn型InGaAsエッチングダミー層を除去した後に、全面にn型InPクラッド層108およびn型InGaAsコンタクト層109をMOCVD法により形成する。最後に、両面に電極110、111を形成し、基板研磨を行い、個々の半導体レーザチップに劈開して図9に示す半導体レーザが作製される。

【0005】 このような構造を有する半導体レーザでは、InGaAsP活性層103の両側のpnpnサイリスタ構造を構成する電流ブロック層106、107により、電流が効率良くInGaAsP活性層103に注入される。また、図9に示す構造の半導体レーザにおいて、漏れ電流の少ない良好な素子特性を得るためには、n型InPクラッド層104とn型InP電流ブロック層106が分離されていることが重要である。これは、n型InPクラッド層104とn型InP電流ブロック層106が接続している場合は、電流ブロックのために形成される周辺部のpnpnサイリスタ構造に流れる漏れ電流が非常に大きいからである。この漏れ電流は、高電流注入時や高温時により顕著であり、高出力動作や高温動作を実現するためには、n型InPクラッド層104とn型InP電流ブロック層106を分離することが必要不可欠となる。

【0006】 次に、InGaAsP活性層103側面にこのような構造を形成する様子を図10(A)～(C)を参照しながら説明する（例えば、ELECTRONICS LETTER Vol.28 No.19 p 1844に記載されている）。図10

(A)～(C)中の12は、メサエッチングおよび埋め込み選択成長に用いるSiO<sub>2</sub>マスクを示す。まず、最初に、図10(A)に示すように、メサストライプの側面にp型InP埋め込み層105を選択的に形成すると、メサストライプ側面に成長速度の非常に遅い(111)B面と(221)B面が形成される。次いで、図10(B)に示すように、n型InP電流ブロック層106を(221)B面が完全に埋まらない程度に形成する。最後に、図10(C)に示すように、p型InP電流ブロック層107を形成する。

【0007】 このようにメサストライプ側面に半導体層を形成すると、(111)B面上と(221)B面上におけるn型InPの成長速度が非常に遅いため、二層目のn型InPは一層目のp型InPで形成された(111)B面の上にはほとんど成長せず、n型InP電流ブ

ロック層106とn型InPクラッド層104とは接続せずに分離することができる。このように、MOCVD法によるメサストライプ側面の埋め込み成長の過程で現れる成長速度の非常に小さい高次の結晶面を利用することにより、n型InP電流ブロック層106とn型InPクラッド層104とを接続させず、漏れ電流の少ない良好な特性を有する埋め込み型の半導体レーザ素子を得ることができる。

【0008】しかしながら、上記従来例では、メサストライプの高さと形状、p型InP埋め込み層の厚さ、n型InP電流ブロック層の厚さをすべて細かく制御する必要がある。例えば、メサストライプ側面に形成される(221)面の長さに対して、n型電流ブロック層の厚さが厚すぎると、n型クラッド層とn型電流ブロック層が繋がってしまう。この場合、メサストライプ側面に形成される(221)面の長さに対して、n型電流ブロック層の厚さを制御する必要がある。このように、従来例においては、メサエッチング条件やMOCVD成長条件等を細かく制御しなければならず、それらの条件において、ごく限られた範囲でしか良好な特性の素子を得ることができない。

【0009】本発明の第2の課題は以下の通りである。半導体装置において、一つの活性領域を電気的に絶縁するためには、能動領域の周辺にイオン注入して絶縁化して分離領域を形成するか、能動領域の周辺にメサストライプ構造を形成して分離領域を形成している。

【0010】イオン注入により分離領域を形成する場合、素子の高さだけイオンを注入する必要があるため、単一の能動領域が高性能化して素子の高さが高くなると、イオン注入による素子へのダメージが大きくなる。

【0011】一方、メサストライプにより分離領域を形成する場合、素子構造が複雑化、集積化することに伴い、素子表面を平坦化する必要がある。通常、この平坦化の方法としては、メサストライプ側面にポリイミドを埋め込む方法や半導体材料を埋め込んで半絶縁性化する方法が挙げられる。しかしながら、ポリイミドを埋め込む場合には信頼性に問題がある。また、半導体材料を埋め込んで半絶縁性化する場合には、平坦化のために選択成長マスクをオーバーハングさせて、選択成長マスクよりも高く成長しないようにしているが、マスク近傍では、マスク上に到達した原料までが成長面に供給され、原料供給量が多くなり、このため異常成長を起こして平坦な成長ができなくなる。また、選択成長させる面積が広がると、マスク上にも成膜されてしまい選択性を低下させることになる。

【0012】本発明は上記の点に鑑みてなされたものであり、その第1の目的は、漏れ電流の少ない良好な特性を有する埋め込み型の半導体装置を提供することである。また、本発明の第2の目的は、InP系材料のデバ

イスプロセスの精度を向上させることが可能であり、集積化可能な半導体装置造を提供することである。

### 【0013】

【課題を解決するための手段】本発明の第1の目的は、頂部に少なくとも活性層が形成されたメサストライプを有するp型InP基板と、前記メサストライプの側面を埋め込むように形成され、少なくともn型電流ブロック層およびp型電流ブロック層を有する半導体層とを具備し、前記n型電流ブロック層は、約 $8 \times 10^{17} \text{ cm}^{-3}$ のSeを不純物として含み、前記n型電流ブロック層と前記n型クラッド層とが接触しない構造を有することを特徴とする半導体装置により達成される。

【0014】また、第1の目的は、p型InP基板上に少なくとも活性層を積層膜する工程と、前記積層膜をメサストライプ状に加工する工程と、少なくともn型電流ブロック層およびp型電流ブロック層を有する半導体層を前記メサストライプの側面に埋め込むようにして形成する工程と、さらにn型のクラッド層を形成する工程とを具備し、前記n型電流ブロック層に不純物として約 $8 \times 10^{17} \text{ cm}^{-3}$ 以上のSeをドーピングすることにより、前記n型電流ブロック層と前記n型クラッド層とが接触しない構造を形成することを特徴とする半導体装置の製造方法により達成される。

【0015】本発明の第2の目的は、InPを含む基板上に形成された能動領域を含む少なくとも2つの能動領域を有する基体と、前記能動領域の少なくとも一部を他の能動領域から電気的に分離する分離領域とを具備し、前記分離領域は、少なくとも半絶縁性層と、 $5 \times 10^{18} \sim 7 \times 10^{19} \text{ cm}^{-3}$ のSeを不純物として含むSe添加層とを有することを特徴とする半導体装置により達成される。

【0016】第1の発明において、活性層、クラッド層、電流ブロック層等の半導体層に用いられる材料としては、AlAs、GaAs、InAs、AlP、GaP、およびInPのうちの少なくとも一つ、あるいはこれらの混晶、またはこれらの材料を組み合わせた多層構造のもの等が挙げられ、その用途に応じて導電型、種類、および不純物濃度等が適宜決定されて使用される。

【0017】第1の発明において、メサストライプの頂部には、少なくとも活性層およびn型クラッド層が形成される。この場合、活性層およびn型クラッド層以外の層としては、光ガイド層、エッチングダミー層等が挙げられる。また、メサストライプ側面に埋め込む半導体層は、少なくともn型電流ブロック層およびp型電流ブロック層を有する。この場合、n型電流ブロック層およびp型電流ブロック層以外の層としては、p型InP埋め込み層、半絶縁性InP層、InGaAlAs層、InGaAsP層、InGaAs層、InAlAs層等が挙げられる。

【0018】第1の発明において、n型電流ブロック層

5

に含まれるSeの濃度を約 $8 \times 10^{17} \text{ cm}^{-3}$ 以上に設定する。これは、n型電流ブロック層に含まれるSeの濃度が約 $8 \times 10^{17} \text{ cm}^{-3}$ 未満であると、n型InPの成長がコンフォーマルな成長に近付き、n型電流ブロック層とn型クラッド層とが接触するからである。また、特に好ましい範囲は、 $2 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ である。なお、この濃度は、メサストライプ形状、MOCVD条件等により異なる。

【0019】第2の発明において、能動領域を構成する素子としては、半導体レーザ、変調器、光アンプ、導波路、LED、PD、HEMT、HBT、キャパシタンス、抵抗、トランジスタ、ダイオード等を挙げることができる。したがって、本発明の第2の発明の半導体装置は、これらの能動素子の組み合わせにより、半導体レーザ、光集積化素子、光電気集積化素子（いわゆるOEIC）、または通常の電気の集積化回路に適用することができる。

【0020】第2の発明において、分離領域は、例えば基体に凹部を形成し、そこに少なくとも半絶縁性層およびSe添加層等を埋め込むことにより形成する。この場合、半絶縁性層およびSe添加層以外の層としては、その半導体素子の種類により異なるが、p型InP層、InAlAs層、InGaAsP層、InGaAs層、あるいはそれらの組み合わせ等が挙げられる。ここで、半絶縁性層としては、遷移金属添加のInP、InGaAsP、InAlAs、InGaAs、あるいはその組み合わせ等を用いることができる。

【0021】第2の発明において、Se添加層に含まれるSeの濃度を $5 \times 10^{18} \sim 7 \times 10^{19} \text{ cm}^{-3}$ に設定する。これは、Se添加層に含まれるSeの濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 未満であると平坦な埋め込みができず、Seの濃度が $7 \times 10^{19} \text{ cm}^{-3}$ を超えると表面の凹凸が激しくなるからである。また、特に好ましい範囲は、 $1 \times 10^{19} \sim 6 \times 10^{19} \text{ cm}^{-3}$ である。なお、Seの濃度は、van der Pauw Hall測定法による濃度を意味し、絶対値としてはファクター3の誤差を含んだ値である。

【0022】第2の発明においては、半絶縁性層およびSe添加層を含む埋め込み層を形成する方法としては、平坦化の要因と推定される水素原子の供給およびSeの気化を考慮すると、MOCVD法またはCBE（Chemical Beam Epitaxy）を用いることが望ましい。

【0023】

【作用】本発明の第1の発明の半導体装置は、p型InP基板に形成された活性層およびn型クラッド層を有するメサストライプの側面を、少なくともn型電流ブロック層およびp型電流ブロック層を有する半導体層で埋め込んだ構造であって、n型電流ブロック層が、約 $8 \times 10^{17} \text{ cm}^{-3}$ のSeを不純物として含み、n型電流ブロック層とn型クラッド層とが接触しない構造を有することを特徴としている。

6

【0024】n型電流ブロック層が約 $8 \times 10^{17} \text{ cm}^{-3}$ のSeを不純物として含むことにより、すなわち、n型電流ブロック層が、Se原料（例えば $\text{H}_2\text{Se}$ ）の供給量とn型電流ブロック層中のキャリア濃度との関係を示すグラフにおいて、比例関係が崩れる（飽和状態）濃度でSeを不純物として含むことにより、メサストライプ側面におけるn型InP層の成長が従来以上に抑制され、高出力動作と高温動作を実現するために必要不可欠なn型クラッド層とn型電流ブロック層との分離が非常に容易になる。この現象は、Seのドーピング量が多いほど顕著である。

【0025】本発明の第2の発明の半導体装置は、基体に形成された少なくとも2つの能動領域間に凹部を形成し、その凹部（例えばメサストライプ）内に半絶縁性層と、 $5 \times 10^{18} \sim 7 \times 10^{19} \text{ cm}^{-3}$ のSeを不純物として含むSe添加層と有することを特徴としている。

【0026】この分離領域においては、能動領域（活性領域）間が半絶縁性層により所望の電極以外電氣的に絶縁されている。また、Se濃度が $5 \times 10^{18} \sim 7 \times 10^{19} \text{ cm}^{-3}$ でSe添加層を形成することにより、分離領域の凹部において凹部の側面方向への成長が抑制され、凹部を埋め込む方向（素子の厚さ方向）への成長が優先的になされる。したがって、このSe添加層は、分離領域の凹部を平坦に埋めることができる。このときのSeの濃度とメサストライプ側面との関係を図8（A）～

（C）に示す。図8（A）に示すように、Se濃度が本発明の範囲外である約 $1 \times 10^{18} \text{ cm}^{-3}$ である場合、選択成長マスク91をメサストライプ92側面にSe添加層93を形成すると、Se添加層93のメサストライプ92側面への成長が、素子厚さ方向への成長と大きな差なく進んで平坦にSe添加層93を埋め込むことができない。これに対して、図8（B）および（C）に示すように、Se濃度が本発明の範囲内である場合には、Se添加層93のメサストライプ92側面への成長が、素子厚さ方向への成長に比べて抑制されて平坦にSe添加層93を埋め込むことができる。

【0027】また、本発明の第2の発明の半導体装置によれば、Se濃度を $5 \times 10^{18} \sim 7 \times 10^{19} \text{ cm}^{-3}$ に設定してSe添加層を形成することにより、選択成長マスク上に多結晶膜が析出する量が極めて少なくなり、広い面積での選択成長を良好に行うことができる。

【0028】

【実施例】以下、本発明の実施例を図面を参照して具体的に説明する。

（実施例1）図1は本発明の第1の発明に係る半導体装置（半導体レーザ）の一実施例を示す断面図である。図中1はp型InP基板を示す。p型InP基板1の一方の主面には、メサストライプが形成されており、このメサストライプ部には、p型InPバッファ層2、InGaAsP活性層3、およびn型InPクラッド層4が順

7

次積層されている。メサストライプの側面には、p型InPバッファ層2、InGaAsP活性層3、およびn型InPクラッド層4と接触するように、p型InP埋め込み層5が形成されている。p型InP埋め込み層5上には、n型InP電流ブロック層6が形成されており、n型InP電流ブロック層6上には、p型InP電流ブロック層7が形成されている。このとき、n型InP電流ブロック層6とn型InPクラッド層4とは確実に分離されている。さらに、この上にn型InPクラッド層8が形成されており、その上にはn型InGaAsコンタクト層9を介してn側電極10が形成されている。また、p型InP基板1の他方の主面には、p側電極11が形成されている。

【0029】次に、図2(A)～(F)を参照しながら、上記構成の半導体レーザの製造工程と各部の詳細を説明する。まず、図2(A)に示すように、p型InP基板1上に、MOCVD法によりp型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $2 \mu\text{m}$ のp型InPバッファ層2、InGaAsP活性層3、n型不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $0.7 \mu\text{m}$ のn型InPクラッド層4、およびn型InGaAsエッチングダミー層13を順次形成する。

【0030】次いで、図2(B)に示すように、 $\langle 011 \rangle$ 方向に幅 $5 \mu\text{m}$ のSiO<sub>2</sub>ストライプ状マスク12を形成した後、これにエッチングを施して、図2(C)に示すような高さ $3 \mu\text{m}$ のメサストライプを形成する。このとき、エッチャントとしては、臭素、臭化水素酸、および水を混合したエッチャントを用い、エッチングはエッチャント中でウエハを静止した状態で行った。

【0031】次いで、図2(D)に示すように、SiO<sub>2</sub>マスク12を残した状態で、MOCVD法によりp型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $0.6 \mu\text{m}$ のp型InP埋め込み層5、n型不純物濃度が $6 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $1.0 \mu\text{m}$ のn型InP電流ブロック層6、およびp型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $1.4 \mu\text{m}$ のp型InP電流ブロック層7を順次形成する。このとき、p型不純物としてはZnを用い、n型不純物としてはSeを用いた。

【0032】この場合、一層目のp型InP埋め込み層5を形成したときのメサストライプ側面には、(111)B面および(221)B面が現れる。また、二層目のSeをドーピングしたn型InP電流ブロック層6は、メサストライプ側面の(111)B面および(221)B面上にはほとんど成長しない。Seをn型不純物として用いることにより、従来に比べてよりいっそう(111)B面および(221)B面上におけるn型InP電流ブロック層6の成長速度が抑制される。

【0033】次いで、図2(E)に示すように、SiO<sub>2</sub>マスク12およびInGaAsエッチングダミー層13を除去した後に、MOCVD法によりn型不純物濃度

8

$1 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $1.4 \mu\text{m}$ のn型InPクラッド層8およびn型不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さ $0.5 \mu\text{m}$ のn型InGaAsコンタクト層9を形成する。最後に、図2(F)に示すように、n型InGaAsコンタクト層9上にn側電極10を形成し、p型InP基板1上にp側電極11を形成し、さらにこの基板に研磨処理を施し、個々の半導体レーザに劈開することにより、図1に示す半導体レーザが作製される。

【0034】本発明の第1の発明の半導体装置においては、n型不純物のSeのドーピング量(キャリア濃度)によりn型電流ブロック層の形状が制御される。図3

(A)～(C)にn型電流ブロック層のキャリア濃度とn型電流ブロック層の形状との関係を示す。図3(A)はキャリア濃度が $\sim 2 \times 10^{18} \text{ cm}^{-3}$ の場合を示し、図3(B)はキャリア濃度が $\sim 6 \times 10^{18} \text{ cm}^{-3}$ の場合を示し、図3(C)はキャリア濃度が $\sim 2 \times 10^{19} \text{ cm}^{-3}$ の場合を示す。なお、キャリア濃度はすべて(100)面上での値である。図3(A)～(C)に示すように、Seのキャリア濃度が高くなるにしたがって(図3(A)から図3(C))、メサストライプ側面でのInPの結晶成長が抑制されるようになる。特に、キャリア濃度が $\sim 2 \times 10^{19} \text{ cm}^{-3}$ の場合には、メサストライプ側面の極近くまでn型InP層6の表面が基板面に対してほぼ水平になっている。

【0035】このように、Seのキャリア濃度が高くなるにしたがって、メサストライプ側面でのInPの結晶成長が抑制されることにともない、n型電流ブロック層とn型クラッド層との間の分離がより確実になされるようになる。このため、従来は、n型電流ブロック層とn型クラッド層とを分離するために、メサストライプの高さと形状、p型InP埋め込み層の厚さ、n型電流ブロック層の厚さ等を精密に制御する必要があったが、本発明の第1の発明を用いることにより、n型電流ブロック層とn型クラッド層との間の分離を非常に容易に行うことができる。

【0036】さらに、従来の場合においては、n型電流ブロック層のキャリア濃度をp型電流ブロック層のキャリア濃度に対して充分低くしておくことにより、p型不純物であるZnがn型電流ブロック層に拡散してn型電流ブロック層を部分的にp型に反転させることができる。この場合においても比較的容易にn型電流ブロック層とn型クラッド層との間を分離することができる。ただし、この場合においては、n型電流ブロック層のキャリア濃度が低いために、pnpn構造の電流ブロック効果が小さく漏れ電流が大きくなってしまふ。しかしながら、本発明の第1の発明においては、n型電流ブロック層のキャリア濃度を非常に高く設定できるため、電流ブロック効果が従来に比べていっそう大きく、高出力動作や高温動作を可能にする。

【0037】本実施例においては、InGaAsP系の

1. 3ミクロン帯レーザについて説明しているが、他の材料系、他の波長帯を有する半導体レーザについても上記と同様な効果が得られる。

(実施例2) 図4は本発明の第2の発明に係る半導体装置の一実施例(半導体レーザアレイ)の概略構成を示す断面図である。本実施例の半導体レーザアレイのレーザ数は1素子内で12であり、ここではその一部分を示す。

【0038】図中23はキャリア濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のp型InPバッファ兼クラッド層である。この層23には、メサストライプが形成されている。このメサストライプの頂部には、組成の異なるGaInAsP層およびGaInAsP層の歪み多重量子井戸構造よりなる活性層22、n型InPクラッド層21が積層されている。活性層22の側面には、横方向の光絞込めと信頼性の向上のためにp型埋め込み層24、キャリアトラップのためのSi添加n型InP層25、および半絶縁性(Fe添加)InP層26が順次積層されている。

【0039】半絶縁性InP層26上には、素子平坦化のために、 $5 \times 10^{19} \text{ cm}^{-3}$ の高濃度のSeを含むSe添加埋込層27がメサストライプの側部の凹部を埋めるように形成されている。また、Se添加埋込層27上には、高抵抗InP層28が形成されている。さらに、この上にn側のクラッド層29が形成され、その上にパターン化されたSiO<sub>2</sub>絶縁膜32が形成されている。また、クラッド層29およびSiO<sub>2</sub>絶縁膜32上には、n側電極30が形成されており、SiO<sub>2</sub>絶縁膜32上には、p側電極31が形成されている。

【0040】この半導体レーザの製造工程においては、pとnの電極を表面から取るために能動領域の側面をp型埋め込み層24、Si添加n型InP層25、および半絶縁性InP層26を形成し、高濃度のSe添加埋込層27および高抵抗InP層28で埋め込んだ後に、n側のクラッド層29を形成し、その後4回以上のパターンニング、フォトリソグラフィの工程が必要となる。しかしながら、高濃度のSe添加埋込層27が平坦性に優れた表面を有するので、高濃度のSe添加埋込層27を含まない半導体レーザと比べるとはるかに正確にパターンニングを行うことができる。また、Se添加埋込層27が平坦性に優れることにより、素子表面の剝離等に伴うパーティクルの影響を低減することができる。このため、従来の素子に比べて優れた特性、特に閾値中温度依存性の均一性の優れた半導体装置を歩留り良く得ることができる。これは、Seを高濃度で添加している層が、半絶縁性InP層26の側面に成長することが抑制され、InP基板23の平坦面方向に優先的に成長したためであると考えられる。

【0041】図5は本発明の第2の発明に係る半導体装置の他の実施例の概略構成を示す断面図である。この半導体装置は、多数の電界効果型トランジスタを集積化し

た半導体装置であり、ここではその一部分を示す。

【0042】図中41は半絶縁性InP基板を示す。半絶縁性InP基板41上には、Fe添加InAlAsバッファ層42、InGaAsチャンネル層43、InAlAsスペーサ層44、InAlAs電子供給層45、InAlAsショットキーコンタクト層46、およびInGaAsオーミックコンタクト層47が順次形成されている。InGaAsオーミックコンタクト層47およびInAlAsショットキーコンタクト層46の一部の領域に、InAlAsショットキーコンタクト層46の途中の深さまでに亘る深さの溝が形成され、その溝内にゲート電極48が形成されている。さらに、前記溝の両側に、InGaAsチャンネル層43まで達する深さのソース電極49およびドレイン電極50が埋設されて形成されている。

【0043】また、上記トランジスタを他の素子から分離する分離領域には、Fe添加InAlAsバッファ層42まで達する凹部が形成されており、その凹部内には、Fe添加InP層51が形成されている。また、Fe添加InP層51上には、高濃度Se添加InP層52がその凹部を埋めるようにして形成されている。また、Fe添加InP層51上には、層間絶縁膜53が形成されており、その上には金属配線54が形成されている。

【0044】上記構成を有する半導体装置においては、分離領域における表面の平坦化が実現されているので、金属配線や層間絶縁膜が段差切れを起こすようなことが無く、歩留り良く素子を集積化することができる。

【0045】図6は本発明の第2の発明に係る半導体装置の他の実施例の概略構成を示す断面図である。この半導体装置は、ヘテロバイポーラトランジスタであり、ここではその一部分を示す。

【0046】図中61は半絶縁性InP基板を示す。半絶縁性InP基板61上には、n型コレクタ層62、p型InGaAsベース層63、n型InPエミッタ層64、およびn型InGaAsオーミックコンタクト層65が順次積層されている。この素子領域においては、p型InGaAsベース層63まで除去してn型コレクタ層62に溝を設けてコレクタ領域を形成し、そのコレクタ領域にコレクタ電極68が形成されており、n型InPエミッタ層64まで除去してp型InGaAsベース層63上にベース電極67が形成されており、n型InGaAsオーミックコンタクト層65上にエミッタ電極66が形成されている。

【0047】また、上記トランジスタを他の素子から分離する分離領域には、半絶縁性InP基板61まで達する凹部が形成されており、その凹部内に半絶縁性InP層69が形成されている。また、半絶縁性InP層69上には、高濃度Se添加InP層70がその凹部を埋めるようにして形成されている。

【0048】この構造を有するデバイスは、工程が複雑になるので本発明の効果は絶大である。特に、能動領域数が増えて素子構造が複雑になるほど、本発明の効果は顕著となる。また、本実施例の半導体装置を用いてマイクロ波領域の周波数における動作を試みたところ、Se濃度が高いほど高速動作が可能となることが確認された。これは、Se添加層のキャリア濃度が高いので、能動領域間に遮蔽効果が働くからであると考えられる。

【0049】図7は本発明の第2の発明に係る半導体装置の他の実施例の概略構成を示す断面図である。この半導体装置は、半導体レーザ、変調器、および導波路が集積化されたものであり、ここではその一部分を示す。

【0050】図中71は半絶縁性InP基板を示す。半絶縁性InP基板71上には、レーザ用コンタクトオーミックp型InGaAs層72、p型InP層73、レーザ活性層74、n型InP層75、変調器用活性層76、p型InP層77、およびp型InGaAsオーミックコンタクト層78が順次形成されている。

【0051】変調器側（図7の紙面向かって左側）および半導体レーザ側（図7の紙面向かって右側）の一方の側方（外側）には、それぞれ変調器においてはn型InP層75に達する凹部が形成されており、半導体レーザにおいてはp型InP層73に達する凹部が形成されている。この両方の凹部内には、第1の半絶縁性InP埋め込み層79が形成されており、第1の半絶縁性InP埋め込み層79上には、第1の高濃度Se添加InP層80がその凹部を埋めるようにして形成されている。

【0052】一方、変調器と半導体レーザとの間には、半絶縁性InP基板71まで達する凹部が形成されており、その凹部内には、第2の半絶縁性InP埋め込み層81が形成されており、第2の半絶縁性InP埋め込み層81上には、第2の高濃度Se添加InP層82、半絶縁性InP層83、光導波路層84、および半絶縁性InP層85がその凹部を埋めるようにして順次形成されている。

【0053】さらに、レーザ用コンタクトオーミックp型InGaAs層72、n型InP層75、変調器用活性層76、p型InGaAsオーミックコンタクト層78、および半絶縁性InP層85が部分的に露出するようにしてSiO<sub>2</sub>絶縁膜86が形成されている。また、露出されたp型InGaAsオーミックコンタクト層78上には、p側電極87が形成されており、露出された変調器用活性層76上には、n側電極88が形成されており、露出されたn型InP層75上には、n側電極89が形成されており、露出されたレーザ用コンタクトオーミックp型InGaAs層72上には、p側電極90が形成されている。

【0054】上記構造を有するデバイスにおいては、半導体レーザと変調器が順バイアス素子と逆バイアス素子であるので、素子間の絶縁が重要となる。ここでは、二

つの素子の電流狭窄層を一つの素子分離領域が兼ねているので、高濃度Se添加領域を半絶縁性層で覆うことにより、素子の構造設計が容易になるようにしている。

【0055】上記の例では、能動領域および分離領域を形成した後、導波路を再成長で形成している。本発明はこの点で特に効果を発揮する。すなわち、従来の素子では、分離領域を形成した後は平坦性が悪いので、混晶の組成（ここでは、GaInAsP）を精密に制御することは難しい。このため、混晶組成を有する材料が必要な領域では、平坦部をウェハに一回目の成長で形成し、不要な領域を削り取り、その上に素子を形成している。しかしながら、本発明の第2の発明を用いることにより、一旦表面に凹凸ができて平坦に埋め込むことができるので、再び混晶組成を有する材料を用いる能動領域の形成が可能となる。このため、従来に比べて素子の設計の自由度が増し、図7に示すような三次元的デバイスの構成が可能となる。

【0056】図7の例では、能動領域は二段としているが、さらにエッチングと再成長を繰り返して三段以上の能動領域を設けてもよい。また、このようなデバイス構造は、光デバイスに限るものではなく、例えば図5および図6に示すような電子デバイス、あるいはその他の電子デバイスにも適用することができる。

【0057】本発明の第2の発明は、本実施例において挙げた材料、デバイス構造に限られるものではなく、種々の電子、光デバイスに適用可能である。例えば、光デバイスと電子デバイスとが集積化されたデバイス構造にも適用可能であり、光デバイスとしては、半導体レーザ、変調器、導波路と共に、受光素子や、増幅器、スイッチ、検波器、あるいはこれらを組合わせたデバイスにも適用可能である。また本実施例では、InPでの埋め込みの例を挙げているが、本発明の第2の発明は、分離領域にSeないしSを高濃度に添加した層を形成すればよく、GaAs等のように、Ga、Al、In、P、Asをそれぞれ組み合わせた材料系においても適用可能である。ただし、この場合には、材料系により個々にSeやSの濃度範囲、あるいはその混晶材料系等が決定される。

【0058】

【発明の効果】以上説明した如く本発明の第1の発明の半導体装置は、頂部に少なくとも活性層およびn型クラッド層が形成されたメサストライプを有するp型InP基板と、前記メサストライプの側面を埋め込むように形成され、少なくともn型電流ブロック層およびp型電流ブロック層を有する半導体層とを具備し、前記n型電流ブロック層は、約 $8 \times 10^{17} \text{ cm}^{-3}$ 以上のSeを不純物として含み、前記n型電流ブロック層と前記n型クラッド層とが接触しない構造を有するので、n型電流ブロック層とn型クラッド層との間の分離を非常に容易に実現することができる。これにより、高出力動作と高温動作



が可能な素子を非常に容易に得ることができるようになる。

【0059】また、本発明の第2の発明の半導体装置は、InPを含む基板上に形成された能動領域を含む少なくとも2つの能動領域を有する基体と、前記能動領域の少なくとも一部を他の能動領域から電気的に分離する分離領域とを具備し、前記分離領域は、少なくとも半絶縁性層と、 $5 \times 10^{18} \sim 7 \times 10^{19} \text{ cm}^{-3}$ のSeを不純物として含むSe添加層と有するので、素子分離領域を平坦に形成できるようになり、プロセスが容易になり、従来よりも高性能の素子を再現性良く均一に得られると共に、従来と比べ素子設計の自由度が増し、三次元的な素子を得ることが可能となる。

【0060】すなわち、本発明の第2の発明によれば、一つの素子の中に複数の活性領域を有する半導体装置において素子間の電気的絶縁のために表面に凸凹が発生し、この凸凹を無くすために凸凹部分を半導体層により埋め込もうとしても平坦化を行うことが難しく、その後にパターニングやリソグラフィの工程、層間絶縁膜の形成を行うことが難しいことや、平坦化後に三次元的にデバイス積層形成することが難しいという問題を解決できる。

【図面の簡単な説明】

【図1】本発明の第1の発明に係る半導体装置の一実施例を示す断面図。

【図2】(A)～(F)は図1に示す半導体装置の製造工程を示す断面図。

【図3】(A)～(C)はSe濃度の違いによるn型電流ブロック層の形状を示す断面図。

【図4】本発明の第2の発明に係る半導体装置の一実施例(半導体レーザアレイ)を示す断面図。

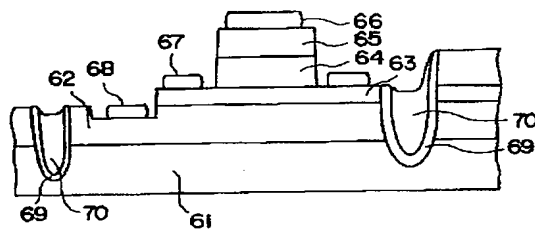
【図5】本発明の第2の発明に係る半導体装置の他の実施例を示す断面図。

【図6】本発明の第2の発明に係る半導体装置の他の実施例を示す断面図。

【図7】本発明の第2の発明に係る半導体装置の他の実施例を示す断面図。

【図8】(A)～(C)は本発明の第2の発明におけるSe濃度と選択成長後の表面形状の平坦性の関係を説明

【図6】



する説明図。

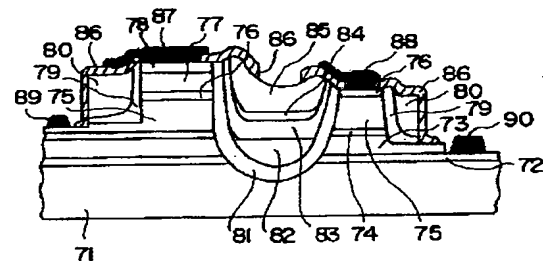
【図9】従来の半導体レーザの概略構成を示す断面図。

【図10】(A)～(C)はメサストライプ側面の埋め込み成長過程を示す断面図。

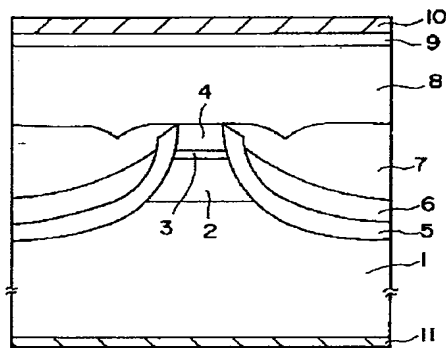
【符号の説明】

1…p型InP基板、2…p型InPバッファ層、3…InGaAsP活性層、4…n型InPクラッド層、5…p型InP埋め込み層、6…n型InP電流ブロック層、7…p型InP電流ブロック層、8…n型InPクラッド層、9…n型InGaAsコンタクト層、10…n側電極、11…p側電極、12…SiO<sub>2</sub>マスク、13…n型InGaAsエッチングダミー層、21…n型InPクラッド層、22…活性層、23…p型InPバッファ兼クラッド層、24…p型埋め込み層、25…Si添加n型InP層、26…半絶縁性InP層、27…Se添加埋込層、28…高抵抗InP層、29…n側のクラッド層、30…n側電極、31…p側電極、32, 86…SiO<sub>2</sub>絶縁膜、41, 61, 71…半絶縁性InP基板、42…Fe添加InAlAsバッファ層、43…InGaAsチャンネル層、44…InAlAsスペーサ層、45…InAlAs電子供給層、46…InAlAsショットキーコンタクト層、47…InGaAsオーミックコンタクト層、48…ゲート電極、49…ソース電極、50…ドレイン電極、51…Fe添加InP層、52, 70, 80…高濃度Se添加InP層、53…層間絶縁膜、54…金属配線、62…n型コレクタ層、63…p型InGaAsベース層、64…n型InPエミッタ層、65…n型InGaAsオーミックコンタクト層、66…エミッタ電極、67…ベース電極、68…コレクタ電極、69, 83, 85…半絶縁性InP層、72…レーザ用コンタクトオーミックp型InGaAs層、73…p型InP層、74…レーザ活性層、75…n型InP層、76…変調器用活性層、77…p型InP層、78…p型InGaAsオーミックコンタクト層、79…第1の半絶縁性InP埋め込み層、81…第2の半絶縁性InP埋め込み層、82…第2の高濃度Se添加InP層、84…光導波層、87, 90…p側電極、88, 89…n側電極、91…選択成長マスク、92…メサストライプ、93…Se添加層。

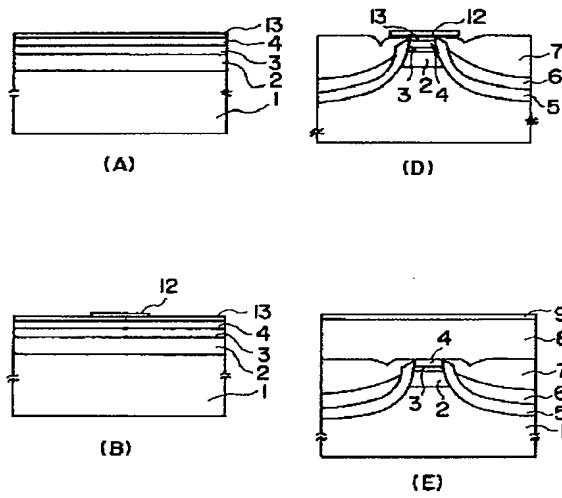
【図7】



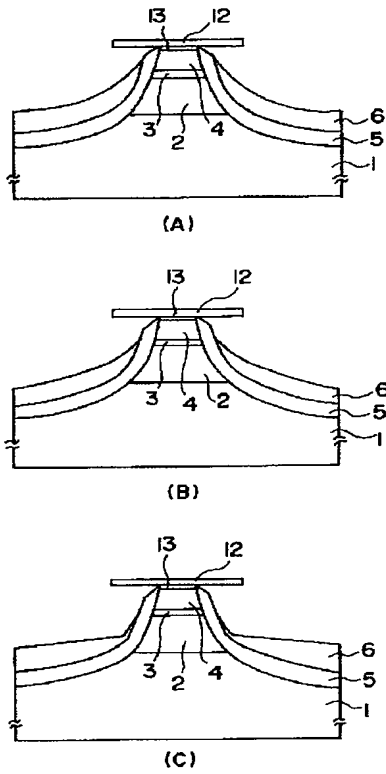
【図1】



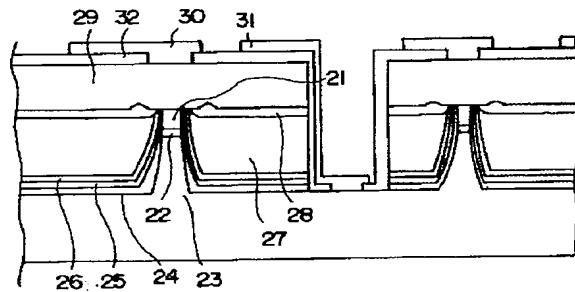
【図2】



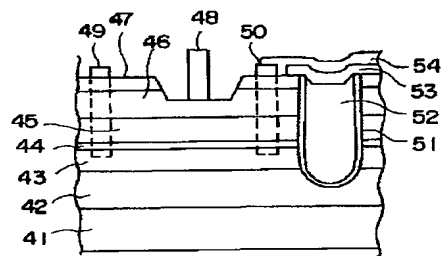
【図3】



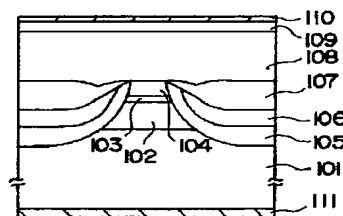
【図4】



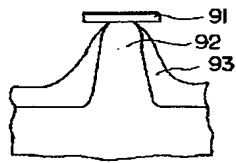
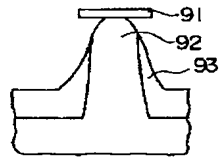
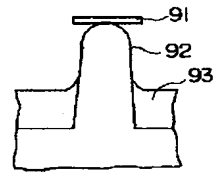
【図5】



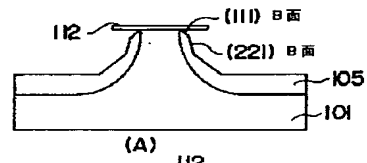
【図9】



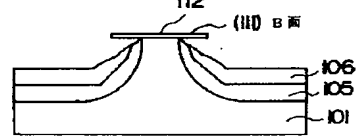
【図 8】

(A) Se 濃度略  $1 \times 10^{18} \text{ cm}^{-3}$  以下(B) Se 濃度略  $5 \times 10^{18} \text{ cm}^{-3}$ (C) Se 濃度略  $2 \times 10^{19} \text{ cm}^{-3}$ 

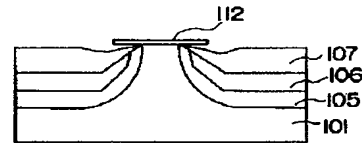
【図 10】



(A)



(B)



(C)

フロントページの続き

(72) 発明者 国分 義弘  
 神奈川県川崎市幸区小向東芝町 1 番地 株  
 式会社東芝研究開発センター内

【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第7部門第2区分  
【発行日】平成13年11月9日(2001.11.9)

【公開番号】特開平8-250808  
【公開日】平成8年9月27日(1996.9.27)  
【年通号数】公開特許公報8-2509  
【出願番号】特願平7-55289  
【国際特許分類第7版】  
H01S 5/30  
【FI】  
H01S 3/18

【手続補正書】

【提出日】平成13年3月30日(2001.3.30)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 頂部に少なくとも活性層が形成されたメサストライプを有するp型InP基板と、前記メサストライプの側面を埋め込むように形成され、少なくともn型電流ブロック層およびp型電流ブロック層を有する半導体層と、を具備し、前記n型電流ブロック層は、 $8 \times 10^{17} \text{ cm}^{-3}$ 以上のSeを不純物として含み、前記n型電流ブロック層と前記n型クラッド層とが接触しない構造を有することを特徴とする半導体装置。

【請求項2】 InPを含む基板上に形成された能動領域を含む少なくとも2つの能動領域を有する基体と、前記能動領域の少なくとも一部を他の能動領域から電気的に分離する分離領域と、を具備し、前記分離領域は、少なくとも半絶縁性層と、 $5 \times 10^{18} \sim 7 \times 10^{19} \text{ cm}^{-3}$ のSeを不純物として含むSe添加層とを有することを特徴とする半導体装置。

【請求項3】 p型InP基板上に少なくとも活性層およびn型クラッド層の積層膜を形成する工程と、前記積層膜をメサストライプ状に加工する工程と、少なくともn型電流ブロック層およびp型電流ブロック層を有する半導体層を前記メサストライプの側面に埋め込むようにして形成する工程と、を具備し、

前記n型電流ブロック層に不純物として $8 \times 10^{17} \text{ cm}^{-3}$ のSeをドーピングすることにより、前記n型電流ブロック層と前記n型クラッド層とが接触しない構造を形成することを特徴とする半導体装置の製造方法。

【請求項4】 少なくとも活性層とn型クラッド層とが形成されたメサストライプを有するp型InP基板と、前記メサストライプの両側面を埋め込むように形成された半導体層と、を具備し、

前記半導体層は少なくともInP系化合物半導体でつくられたn型電流ブロック層とInP系化合物半導体でつくられたp型電流ブロック層とInP系化合物半導体でつくられたp型埋め込み層とを有し、前記n型電流ブロック層はおよそ $8 \times 10^{17} \text{ cm}^{-3}$ 以上のSeを不純物として含有し、前記n型電流ブロック層及び前記n型クラッド層は相互に接触しておらず、前記p型埋め込み層は前記n型電流ブロック層が成長を抑制される表面を有していることを特徴とする半導体装置。

【請求項5】 p型InP基板上に少なくとも活性層とn型クラッド層との積層膜を形成する工程と、

前記積層膜をメサストライプ形状へと加工する工程と、少なくとも不純物としておよそ $8 \times 10^{17} \text{ cm}^{-3}$ 以上のSeでドーブされたInP系化合物半導体でつくられたn型電流ブロック層とInP系化合物半導体でつくられたp型電流ブロック層とInP系化合物半導体でつくられたp型埋め込み層とを形成して、前記メサストライプの両側面を埋め込む工程と、を具備し、

それにより、前記n型電流ブロック層と前記n型クラッド層とが相互に接触せず且つ前記p型埋め込み層が前記n型電流ブロック層の成長を抑制する表面を有した構造を形成することを特徴とする半導体装置の製造方法。